

Zentrale Verarbeitungseinheit—CPU

Central processing unit—CPU

U 880 D Gate Technologie für den Einsatz innerhalb des Systems der II. Leistungsklasse mit folgenden Eigenschaften:

- Der Befehlssatz enthält 158 Befehle mit 16-, 8-, 4- und Einzel-Bit-Instruktionen sowie zusätzliche Adressierungsweisen (indizierte, relative und Bit-Adressierung)
- Die minimale Befehlsausführzeit beträgt 1,6 μ s bei einer maximalen Taktfrequenz von 2,5 MHz
- Die CPU enthält 21 interne Register und Befehlszähler
- Es existieren: 3 schnelle Interrupt Behandlungsarten und außerdem ein zusätzlicher, nicht maskierbarer Interrupt
- 5 V-Einphasentakt und eine Standard 5 V-Gleichspannungsversorgung
- Der Anschluß von dynamischen oder statischen Standardspeicherchips ist möglich
- Integrierte dynamische Refresh-Hardware
- Die Eingänge sind voll TTL-kompatibel, die Ausgänge können eine Standard TTL-Last treiben

Befehlsgruppen

- 8-Bit Ladebefehle
- Registertausch
- 8-Bit arithmetische und logische Befehle
- Rotations- und Schiebe-Befehle
- Ein- und Ausgabebefehle
- Rückkehrbefehle
- 16-Bit arithmetische Befehle
- 16-Bit Ladebefehle
- Blocktransport- und Suchbefehle
- Steuerbefehle
- Bitoperationen
- Rufbefehle
- Sprungbefehle

Gate technology for use within the system of the II. generation, the properties of which are summarized below:

- command set contains 158 commands with 16-, 8-, 4- and single-bit instructions as well as additional addressing modes (subscripted, relative and bit-addressing)
- the minimum instructions cycle time is 1.6 μ sec with a maximum clock frequency of 2.5 MHz
- the CPU comprises 21 internal registers and 1 command counter
- there exist: 3 fast interrupt cases and moreover 1 additional no-mask-programmable interrupt
- 5 V one-phase clock and a standard 5 V d.c. voltage supply
- connection of dynamic or static standard memory chips possible
- integrated dynamic refresh-hardware
- the inputs are fully TTL-compatible, the outputs can drive a TTL-load

Command Groups

- 8-bit load commands
- register changing
- 8-bit arithmetic and logic commands
- rotation and shift commands
- input and output commands
- return commands
- 16-bit arithmetic commands
- 16-bit load commands
- block transport and search commands
- control commands
- bit operations
- call commands
- jump commands

Grenzdaten max. ratings

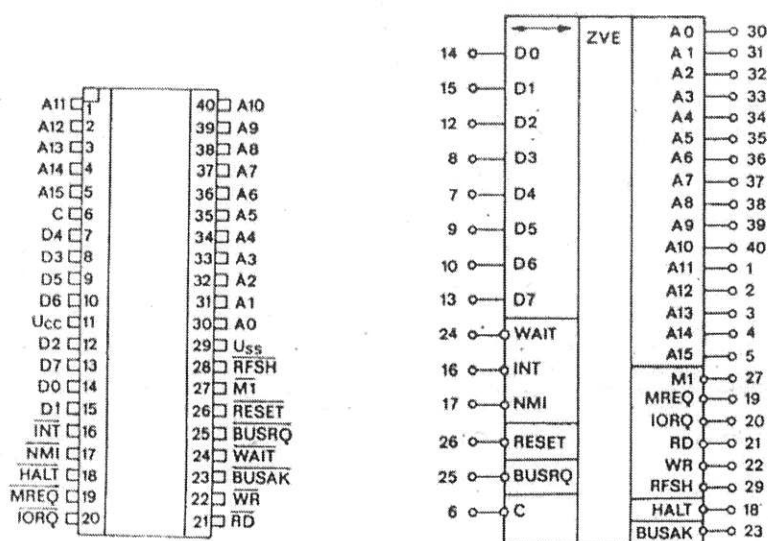
U_{CC}	=	-0,5 ... 7 V
U_I	=	-0,5 ... 7 V
ϑ_a	=	0 ... 70 °C
ϑ_{stg}	=	-55 ... 125 °C
P_v	=	1,1 W

Informationsdaten characteristics

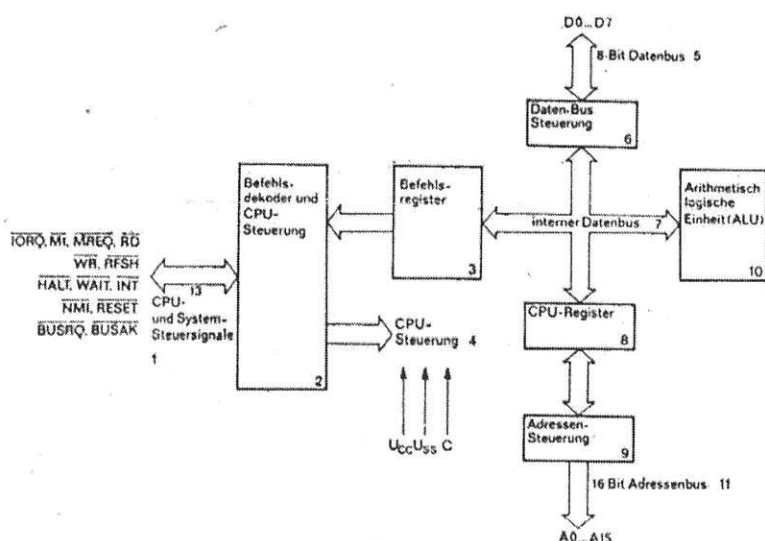
bei
at $\vartheta_a = 0 \dots 70^\circ\text{C}$, $U_{CC} = 5\text{ V}$

U_{CC}	=	4,75 ... 5,25 V
U_{IL}	=	-0,5 ... 0,8 V
U_{IH}	=	2,0 ... U_{CC} V
U_{ILC}	=	-0,5 ... 0,45 V
U_{IHC}	=	$U_{CC} - 0,2 \dots U_{CC}$ V
U_{OL}	=	0,4 V
U_{OH}	=	2,4 V
I_{CC}	=	200 mA
I_{LI}	=	10 μ A
t_c	=	400 ... ¹⁾
$t_{w(CH)}$	=	180 ... 2000
$t_{w(CL)}$	=	180 ... 2000
t_r, t_f	=	30

¹⁾ $t_c = t_{w(CH)} + t_{w(CL)} + t_r + t_f$

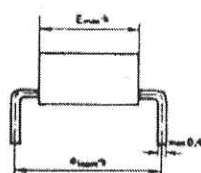
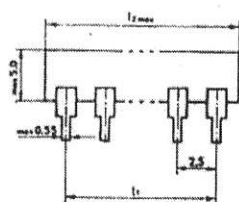


U 880 D



- 1 CPU- and system — control signals
- 2 command decoder and CPU-control
- 3 command register
- 4 CPU-control
- 5 8-bit-data-bus
- 6 data-bus control
- 7 internal data bus
- 8 CPU-register
- 9 address-control
- 10 arithmetically logic unit (ALU)
- 11 16-bit-address-bus

U 880 D Blockschaltung der CPU
block diagram CPU



Pin-Anzahl
number
of pins

n	l ₁	l _{2max}	b	Typ
40	47,5	52,0	15,0	U 880 D

Schaltkreis für parallele Ein- und Ausgabe

Circuit for parallel input and output

U 855 D Programmierbarer Parallel-Ein/Ausgabeschaltkreis in n-Kanal-Silicon/Gate-Technologie für den Einsatz innerhalb des Systems der II. Leistungsklasse mit folgenden Eigenschaften:

- Interruptmöglichkeit im Quittungsbetrieb für schnelle Anforderungsbearbeitung
- Folgende Betriebsarten sind möglich:
 - Byte-Ausgabe (Betriebsart 0)
 - Byte-Eingabe (Betriebsart 1)
 - Byte-Ein/Ausgabe (bidirektionaler Betrieb, nur für Port A möglich) (Betriebsart 2)
 - Bit-Ein/Ausgabe (Betriebsart 3)
- Interruptbearbeitung kann den Bedingungen des peripheren Gerätes angepaßt programmiert werden
- Ein- und Ausgänge sind TTL-kompatibel
- Automatische Interrupt-Vektorerzeugung und Prioritätskodierung durch Kaskadierung der Bausteine
- Ausgänge des Ports B sind für den direkten Anschluß von Darlington-Transistoren geeignet.

Programmable parallel input-output circuit in n-channel silicon gate technology for use within the system of the II. generation with the following properties:

- interrupt capability with "handshaking" for speed commands
- the following operating modes are possible:
 - byte-output (mode 0)
 - byte-input (mode 1)
 - byte-input/output (bidirectional operation, possible only for port A) (mode 2)
 - bit-input/output (mode 3)
- interrupt case can be programmed, adapted to the conditions of the peripheral unit
- inputs and outputs are TTL-compatible
- automatic interrupt vector generation and priority coding by cascading the modules
- the terminals of port B permit the direct connection of Darlington-transistors.

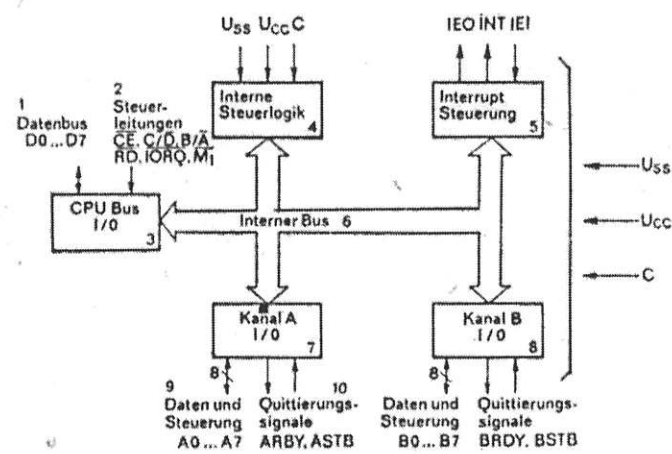
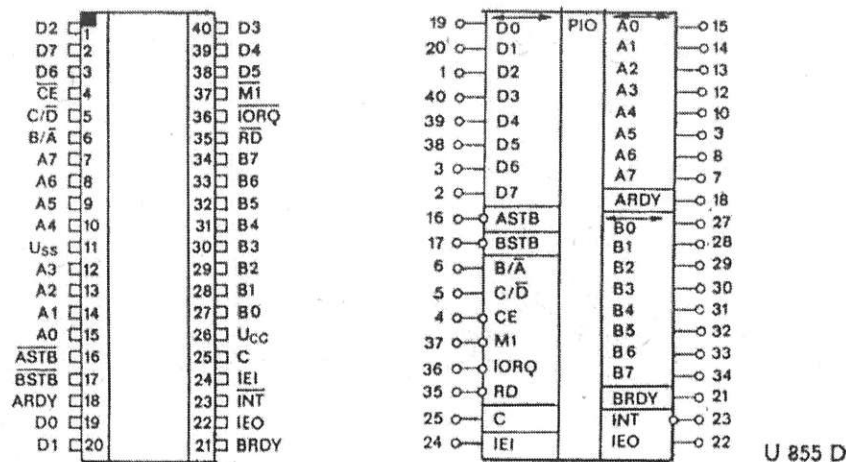
Grenzdaten max. ratings

U_{CC}	=	-0,5 ... 7 V
U_I	=	-0,5 ... 7 V
θ_a	=	0 ... 70 °C
θ_{JTG}	=	-55 ... 125 °C
P_v	=	1,1 W

Informationsdaten bei $U_{CC} = 5 V, \theta_a = 0 \dots 70 ^\circ C$ characteristics

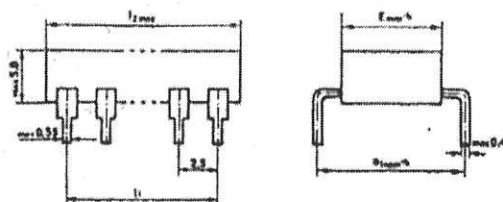
U_{CC}	=	4,75 ... 5,25 V
U_{IL}	=	-0,5 ... 0,8 V
U_{IH}	=	2,0 ... U_{CC} V
U_{ILC}	=	-0,5 ... 0,45 V
U_{IHC}	=	$U_{CC} - 0,2 \dots U_{CC}$ V
U_{OL}	=	0,4 V
U_{OH}	=	2,4 V
I_{CC}	=	100 mA
I_{LI}	=	10 μA
t_c	=	400 ... ¹⁾ ns
$t_{w(CH)}$	=	180 ... 2000 ns
$t_{w(CL)}$	=	180 ... 200 ns
t_r, t_f	=	30 ns

¹⁾ $t_c = t_{w(CH)} + t_{w(CL)} + t_r + t_f$



- 1 data bus
- 2 control lines
- 3 CPU bus
- 4 internal control logic
- 5 interrupt control
- 6 internal bus
- 7/8 channel
- 9 data and control
- 10 handshaking signals

U 855 D
Blockschaltung
block diagram



Pin-Anzahl
number
of pins

n	l_1	l_{2max}	b	Typ
40	47,5	52,0	15,0	U 855 D

Serieller Ein-Ausgabeschaltkreis

Serial input/output circuit

- U 856 D** Programmierbarer, zweikanaliger Serieller Ein-Ausgabeschaltkreis in n-Kanal-Silicon-Gate-Technologie für den Einsatz innerhalb des Systems der II. Leistungsklasse mit folgenden Eigenschaften:
- 4 unabhängige serielle Ports: zwei Sender-, sowie Empfängerports
 - asynchrone oder synchrone Arbeitsweise
 - asynchrone Daten mit 5, 6, 7 oder 8 Datenbits, 1, 1½ oder 2 Stoppbits und gerader, ungerader oder keiner Paritätserzeugung bzw. Paritätsprüfung
 - Paritäts-, Überlauf- und Rahmenfehlererkennung
 - Break-Erzeugung und Erkennung
 - alle Eingänge und Ausgänge voll TTL-kompatibel
 - Taktvarianten: x1, x16, x32, x64
 - Datenübertragungsraten: 0 bis 550 k bit/s
 - 4 Eingänge / 4 Ausgänge zur MODEM-Steuerung
 - volle Fähigkeit zur Arbeit nach HDLC einschließlich Verarbeitung des I-Feld-Restes
 - interne oder externe Zeichensynchronisation mit automatischer Einfügung von Synchronisationszeichen und Flags
 - Betriebszustand „Adreßerkennung“ bei SDLC/ADLC
 - Betriebszustand „Synchronisationsbyteunterdrückung“ bei mono- und bisynchroner Arbeitsweise
 - Die hohen Übertragungsraten und die automatische CRC-Erzeugung gestatten die direkte Zusammenschaltung mit Floppy-Disk-Speichern doppelter Dichte, ohne daß direkter Speicherzugriff erforderlich ist
 - empfangene Daten und Fehlerregister sind Vierfach, zu sendende Daten zweifach gepuffert
 - Leistungsfähige Interruptstruktur durch wahlweise festen oder variablen Interruptvektor
 - CRC -16 oder CRC -C CITT - (0 und -1) - Prüfpolynom
 - gültige empfangene Daten vor Überschreiben geschützt
 - 5 V Einphasentakt und eine einzige 5 V-Gleichspannungsversorgung
 - Prioritätslogik durch Kaskadierung der Bausteine

- Programmable 2-channel serial input/output circuit in n-channel silicon technology for use within the system of the II. generation, the properties of which are summarized below:
- 4 independent serial ports: 2 transmitter as well as receiver ports;
 - asynchronous or synchronous mode;
 - asynchronous data with 5, 6, 7 or 8 data bits, 1, 1½ or 2 stop bits and even or odd or no parity generation and/or parity check
 - parity, overflow and framing error detection
 - break generation and -detection
 - all the inputs and outputs fully TTL-compatible
 - clock variants: x1, x16, x32, x64
 - data transmission rates: 0 to 550 k bits/s
 - 4 inputs / 4 outputs for MODEM-control
 - full operation after HDLC, including the processing of the residual I-field
 - internal or external sign sync with automatic insertion of sync signs and flags
 - mode "address-field recognition"
 - mode „sync byte suppression“ with mono- and bisync operation
 - the high transmission rates and automatic CRC-generation permit direct interconnection to floppy-disc-stores of double density without requiring direct access
 - received data and error register are buffered fourfold, data to be transmitted twofold
 - efficient interrupt structure by selective fixed or variable interrupt vector
 - CRC -16 or CRC -C CITT - (0 and -1) -check polynomial
 - valid received data protected from overrun
 - 5 V one-phase clock and one single 5 V d.c. voltage supply
 - priority logic by cascading the modules

Grenzdaten max. ratings

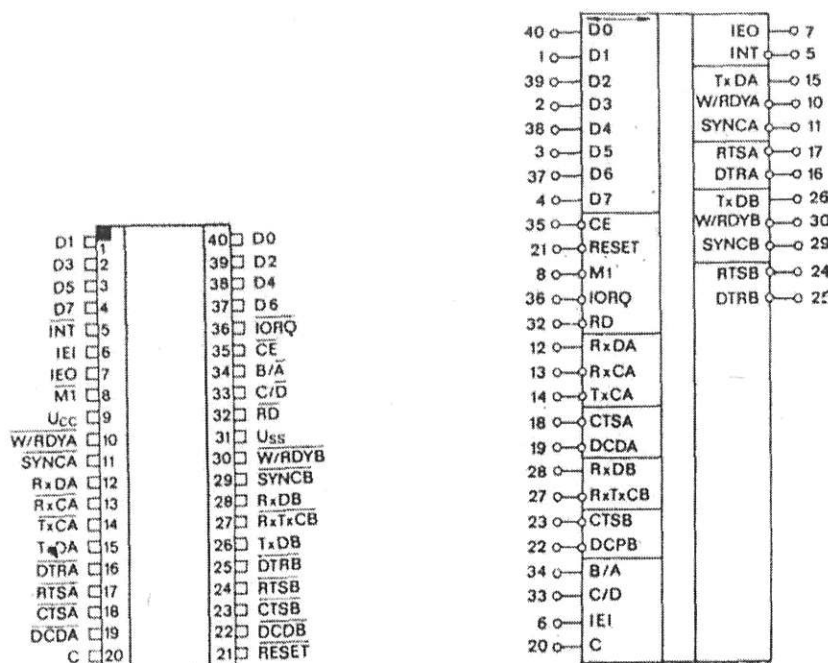
$U_{CC} = -0,5 \dots 7 \text{ V}$
 $U_I = -0,5 \dots 7 \text{ V}$
 $\theta_a = 0 \dots 70^\circ \text{C}$
 $\theta_{stg} = -55 \dots 125^\circ \text{C}$
 $P_v = 1,1 \text{ W}$

Informationsdaten characteristics

bei $\theta_a = 0 \dots 70^\circ \text{C}$, $U_{CC} = 5 \text{ V}$

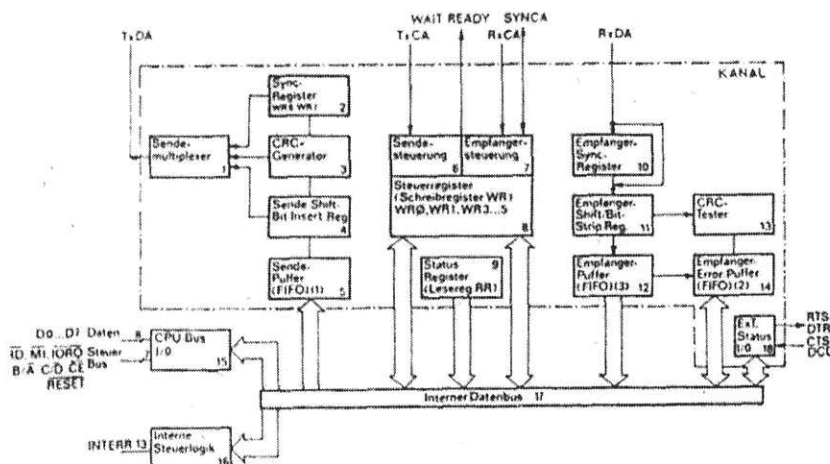
$U_{CC} = 4,75 \dots 5,25 \text{ V}$
 $U_{IL} = -0,5 \dots 0,8 \text{ V}$
 $U_{IH} = -2,0 \dots U_{CC} \text{ V}$
 $U_{ILC} = -0,5 \dots 0,45 \text{ V}$
 $U_{IHC} = U_{CC} - 0,2 \dots U_{CC} \text{ V}$
 $U_{OL} = 0,4 \text{ V}$
 $U_{OH} = 2,4 \text{ V}$
 $I_{CC} = 140 \text{ mA}$
 $I_{LI} = 10 \mu\text{A}$
 $t_c = 400 \dots 1) \text{ ns}$
 $t_{w(CH)} = 180 \dots 2000 \text{ ns}$
 $t_{w(CL)} = 180 \dots 2000 \text{ ns}$
 $t_r, t_f = 30 \text{ ns}$

1) $t_c = t_{w(CH)} + t_{w(CL)} + t_r + t_f$

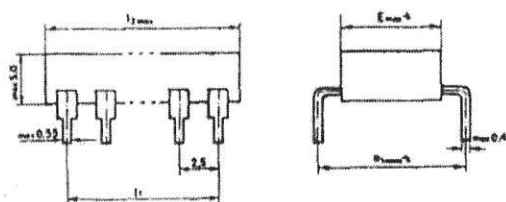


U 856 D

- 1 transmitting multiplexer
- 2 sync register
- 3 CRC-generator
- 4 transmitting-shift-bit-insert-register
- 5 transmitter-buffer
- 6 transmitter control
- 7 receiver control
- 8 control register (writing register WR)
- 9 status register (reading register RR)
- 10 receiver sync register
- 11 receiver-shift-bit-strip-register
- 12 receiver buffer
- 13 CRC tester
- 14 receiver error-buffer
- 15 CPU bus
- 16 internal control logic
- 17 internal data bus
- 18 external status



U 856 D Blockschaltung block diagram



Pin-Anzahl
number
of pins

n	l_1	l_2max	b	Typ
40	47,5	52,0	15,0	U 856 D

Zähler-Zeitgeber-Baustein

counter timer module

- U 857 D** Programmierbarer Zähler-Zeitgeber-Baustein in n-Kanal-Silicon-Gate-Technologie für den Einsatz innerhalb des Systems der II. Leistungsklasse mit folgenden Eigenschaften:
- Alle Ein- und Ausgänge sind voll TTL-kompatibel
 - Es wird nur eine +5 V Versorgungsspannung benötigt
 - Es existieren 4 voneinander unabhängige, software-programmierbare 8-bit-Zähler, 16-bit-Zeitgeber Kanäle. Jeder dieser Kanäle kann wahlweise als Zähler oder Zeitgeber verwendet werden.
 - Es sind Vorteiler durch 16 oder 256 für jeden Zeitgeber-Kanal möglich.
 - Es können Interrupts bei Erreichen von programmäßig festgelegten Zähler- oder Zeitgeber-Werten programmiert werden.
 - Automatische Interrupt-Vektorbereitstellung und Prioritätskodierung ohne zusätzlichen Schaltungsaufwand durch Kaskadierung der Bausteine
 - Die Ausgänge (ZC/TO 1 ... TO 3) der drei herausgeführten Kanäle sind zum Anschluß von Darlington-Transistoren geeignet.
 - Die maximale Zählfrequenz bei der Betriebsart „Zähler“ ist $f_{c/2}$.

Programmable counter timer module in n-channel silicon gate technology for use within the system of the II. generation with the following properties:

- all the inputs and outputs are fully TTL-compatible
- merely a supply voltage of + 5 V is required
- there exist 4 mutually independent software-programmable 8-bit-counters, 16-bit-timer channels. Each of these channels can selectively be used as a counter or timer.
- when obtaining counter or timer values, fixed due to programme, interrupts may be programmed.
- automatic interrupt vector availability and priority coding without additional circuit complexity, by cascading the modules
- the terminals (ZC /TO 1 ... TO 3) of the three protruding channels enable Darlington-transistors to be connected.
- the maximum counting frequency with the operating mode "counter" is $f_{c/2}$.

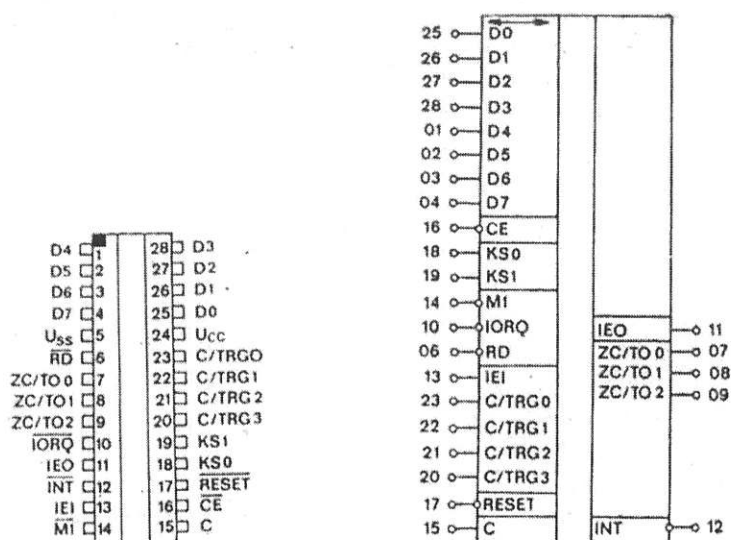
Grenzdaten max. ratings

U_E	= -0,5 ... 7 V
θ_a	= 0 ... 70 °C
θ_{stg}	= -55 ... 125 °C
P_v	= 0,7 W

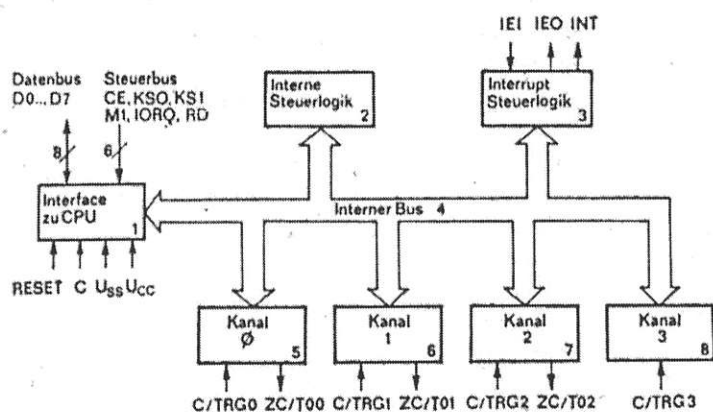
Informationsdaten bei $\theta_a = 0 \dots 70^\circ\text{C}$, $U_{cc} = 5\text{ V}$ characteristics

U_{cc}	= 4,75 ... 5,25 V
U_{il}	= -0,5 ... 0,8 V
U_{ih}	= 2 ... U_{cc} V
U_{ilc}	= -0,5 ... 0,8 V
U_{ihc}	= $U_{cc} - 0,2 \dots U_{cc}$ V
U_{ol}	= 0,4 V
U_{oh}	= 2,4 V
I_{cc}	= 100 mA
t_c	= 400 ... ¹⁾ ns
$t_{w(CH)}$	= 180 ... 2000 ns
$t_{w(CL)}$	= 180 ... 2000 ns
t_r, t_f	= 30 ns

¹⁾ $t_c = t_{w(CH)} + t_{w(CL)} + t_r + t_f$

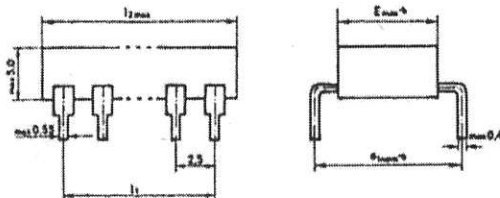


U 857 D



- 1 interface for CPU
- 2 internal control logic
- 3 interrupt control logic
- 4 internal bus
- 5, 6, 7, 8 channel

U 857 D Blockschaltung
block diagram



Pin-Anzahl
number
of pins

n	I ₁	I _{2max}	b	Typ
28	32,5	37,0	15,0	U 857 D